

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

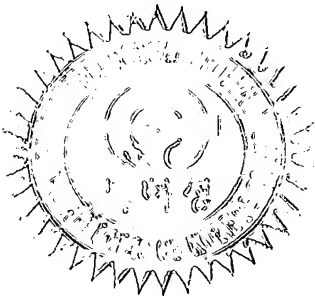
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0069539
Application Number

출원년월일 : 2002년 11월 11일
Date of Application NOV 11, 2002

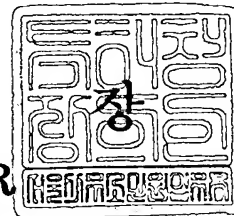
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 09 월 01 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002.11.11
【발명의 명칭】	반도체 소자 제조 방법
【발명의 영문명칭】	METHOD FOR FABRICATING A SEMICONDUCTOR DEVICE
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	여상원
【성명의 영문표기】	YEO, SANG WON
【주민등록번호】	741209-1042423
【우편번호】	151-050
【주소】	서울특별시 관악구 봉천동 동아삼성아파트 128동 402호
【국적】	KR
【발명자】	
【성명의 국문표기】	전정식
【성명의 영문표기】	JEON, JEONG SIC
【주민등록번호】	630206-1094912
【우편번호】	445-974

【주소】 경기도 화성군 태안읍 병점리 485 한신아파트
106-101
【국적】 KR
【발명자】
【성명의 국문표기】 강창진
【성명의 영문표기】 KANG,CHANG JIN
【주민등록번호】 610826-1090911
【우편번호】 442-730
【주소】 경기도 수원시 팔달구 영통동 산나무실미주아파트
652동 1901호
【국적】 KR
【발명자】
【성명의 국문표기】 이창원
【성명의 영문표기】 LEE,CHANG WON
【주민등록번호】 680703-1004911
【우편번호】 140-031
【주소】 서울특별시 용산구 이촌1동 수정아파트 207호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
임창현 (인) 대리인
권혁수 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 6 면 6,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 17 항 653,000 원
【합계】 688,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

여기에 개시되는 반도체 소자 제조 방법은 게이트 전극을 형성한 후 그 아래 언더커 영역이 형성되도록 게이트 절연막을 일부 제거하고, 상기 언더컷 영역을 채우면서 게이트 전극을 덮도록 버퍼 실리콘막을 형성하는 것을 포함한다. 따라서, 후속 공정으로 선택적 산화 공정을 실행할 때, 상기 버퍼 실리콘막이 산화되면서 산소 침투 방지막으로 작용하여 상기 게이트 전극의 산화를 방지한다. 또한, 이중 스페이서 공정을 적용할 경우, 상기 산화된 버퍼 실리콘막이 이중 스페이서 형성을 위한 절연막질로 사용되기 때문에, 공정의 단순화 및 경제화를 확보할 수 있다.

【대표도】

도 7

【색인어】

선택적 산화, 금속 게이트, 이중 스페이서

【명세서】

【발명의 명칭】

반도체 소자 제조 방법 {METHOD FOR FABRICATING A SEMICONDUCTOR DEVICE}

【도면의 간단한 설명】

도1 내지 도7은 본 발명의 일 실시예에 따른 반도체 소자 제조 방법의 주요 공정 순서에 따른 반도체 기판의 단면도들이다.

도8 내지 도10은 본 발명의 다른 실시예에 따른 반도체 소자 제조 방법의 주요 공정 순서에 따른 반도체 기판의 단면도들이다.

* 도면의 주요 부분에 대한 부호의 설명

100 : 반도체 기판 120 : 게이트 산화막

140 : 폴리 실리콘 160 : 장벽 금속막

180 : 텅스텐막 200 : 캐핑 질화막

220 : 게이트 전극 240 : 버퍼 실리콘막

260 : 산화된 버퍼 실리콘막 280 : 저농도 불순물 영역

300 : 스페이서 질화막 300a : 질화막 스페이서

320 : 고농도 불순물 영역

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <11> 본 발명은 반도체 소자의 제조 방법에 관한 것으로서, 더욱 상세하게는 반도체 소자의 게이트 전극 형성 방법에 관한 것이다.
- <12> 반도체 제조 공정에서 모스(MOS: Metal Oxide Semiconductor) 트랜지스터의 게이트 전극은 일정한 두께를 가지는 게이트 전극 물질을 게이트 산화막을 사이에 두고 반도체 기판 상에 형성한 후 이를 일정한 모양, 즉, 라인 형태를 갖도록 소정 부분을 식각함으로써 형성된다. 또, 식각을 통해서 게이트 전극을 형성한 이후에는 식각에 따른 손상을 치유하고 게이트 산화막의 신뢰성을 확보하며, 또한 게이트 전극 하부 가장자리 부분에 전기장이 집중하는 것을 방지하고 게이트 전극에 기인하는 드레인 누설전류(Gate Induced Drain Leakage: GIDL)를 방지하기 위해 선택적 산화 공정이 진행된다.
- <13> 통상적으로 사용되는 게이트 전극 물질은 게이트 산화막에 대해서 고온에서 우수한 계면 특성을 가지는 폴리 실리콘이 사용된다. 하지만, 반도체 소자가 점점 고집적화됨에 따라 통상적인 폴리 실리콘 게이트 전극으로는 고집적화 추세에 부응하여 적당한 동작 속도 및 게이트 전극의 면저항 특성을 만족시킬 수가 없게 되었다. 이에 따라, 최근 폴리 실리콘 게이트 전극 상부에 고용점 금속, 예를 들면, 텅스텐 등을 적층하여 금속 게이트 전극을 형성하는 방법이 소개되고

있다. 한편, 금속 게이트 전극으로 사용되는 텅스텐은 하부의 폴리 실리콘과 반응을 잘 하기 때문에, 이들 두 막질 사이에 도전성 장벽막을 형성하기도 한다.

<14> 이와 같은 금속 게이트 전극의 경우, 선택적 산화 공정에서 상술한 게이트 전극 하부 가장자리를 따라 산화가 발생할 뿐만 아니라, 도전성 장벽막과 텅스텐 막 사이의 계면을 따라 산소가 침투하여 그곳에서 원치않는 산소 계열의 비정질 형태의 이물질이 형성된다.

<15> 또, 셀 영역에서, 이른바 자기정렬 접촉 기술을 적용할 경우, 텅스텐 상부에 캐핑 질화막이 형성된다. 이 경우, 선택적 산화 공정에서 산소가 캐핑 질화막 및 텅스텐 사이의 계면을 따라 침투하여 그곳에서 역시 원치않는 이물질이 발생된다. 이와 같은 이물질은 게이트 전극의 저항을 증가시키는 요인으로 작용한다.

<16> 뿐만 아니라, 상기 선택적 산화 공정시 산소가 라인 형태의 게이트 전극 하부를 따라 침투하여 그곳에서 산화가 일어나기 때문에, 게이트 전극 하부 가장자리에는 상대적으로 두꺼운 산화막이 형성된다. 이는 트랜지스터의 문턱 전압을 증가시키는 요인으로 작용한다. 더욱이, 게이트 전극의 최소 선폴이 점점 더 작아짐에 따라, 상기 선택적 산화 공정시 산화가 게이트 길이(Gate Length) 전체에 발생하여 소자 특성을 악화시키며, 심할 경우, 소자의 오동작을 유발한다.

<17> 따라서 상술한 문제점들을 피할 수 있는 반도체 소자 제조 방법이 절실히 요구되고 있다.

【발명이 이루고자 하는 기술적 과제】

<18> 본 발명은 상술한 문제점들을 해결하기 위해서 제안 된 것으로서, 본 발명이 이루고자 하는 기술적 과제는 신뢰성 있는 선택적 산화 공정을 구비하는 반도체 소자 제조 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<19> 상술한 기술적 과제를 달성하기 위한 본 발명의 반도체 소자 제조 방법은 선택적 산화 공정 전에 또는 선택적 산화 공정 중에 산소 확산 방지막을 형성하는 것을 일 특징으로 한다.

<20> 구체적으로, 상기 반도체 소자 제조 방법은 게이트 절연막이 형성된 반도체 기판 상에 소정 패턴의 게이트 전극을 형성한 이후에 상기 게이트 절연막의 일부분을 제거하여 상기 게이트 전극 하부에, 즉, 하부 가장자리에, 언더컷 영역을 형성하는 것을 포함한다. 상기 언더컷 영역을 형성한 후, 산소 확산 방지막으로서, 상기 언더컷 영역을 포함하여 게이트 전극을 감싸도록 버퍼 실리콘막을 형성한다. 상기 버퍼 실리콘막을 형성한 후, 선택적 산화 공정을 진행하여 게이트 전극 형성을 위한 식각 공정시 발생하는 결함을 치유한다.

<21> 상기 방법에 따르면, 상기 버퍼 실리콘막이 선택적 산화 공정 중에 산소가 게이트 전극으로 침투하는 것을 방지한다. 이는 상기 버퍼 실리콘막 자신이 선택적 산화 공정 중에 산소와 결합하여 산화되기 때문이다.

- <22> 또, 상기 언더컷 영역이 형성되어 있기 때문에, 게이트 전극 하부(즉, 채널 중심부)로의 물리적인 산소 침투 거리가 그만큼 증가하게 되어 게이트 전극 하부(즉, 채널 중심부)에서의 산화를 더욱 더 효과적으로 방지할 수 있다.
- <23> 상기 방법에서, 상기 게이트 절연막의 일부분을 제거하는 것은 습식식각을 통해서 수행되는 것이 바람직하다. 습식식각을 진행할 경우, 식각용액은 통상적으로 산화막 식각에 사용되는 용액이 사용될 수 있을 것이다.
- <24> 상기 게이트 전극은 상기 게이트 절연막 상에 폴리 실리콘막, 고용점 금속막 및 캐핑 질화막을 차례로 적층한 후 이들 적층막들을 패터닝하여 형성된다. 상기 고용점 금속막은 게이트 전극의 저항을 낮추어 소자 동작 속도를 향상시키기 위한 것이다. 예컨대, 상기 고용점 금속막은 텅스텐, 티타늄, 탄탈륨, 몰리브덴, 코발트, 마그넨슘, 니켈, 구리 등을 포함한다.
- <25> 상기 폴리 실리콘 및 상기 텅스텐막 사이에 장벽 금속막을 더 형성하는 것이 바람직하다. 상기 장벽 금속 막은 상기 폴리 실리콘막 및 텅스텐막 사이의 반응을 방지하기 위한 것이다. 예컨대, 장벽 금속막은 텅스텐 질화막, 티타늄 질화막 등이 될 수 있다.
- <26> 또한, 상기 선택적 산화 공정에서, 게이트 측벽부분에서 노출된 텅스텐막 표면 및 그곳에 접촉하는 버퍼 실리콘막 사이에 텅스텐 실리사이드막이 더 형성될 수 있다. 이 경우, 게이트 전극의 저항 특성이 더욱 향상된다.
- <27> 상기 선택적 산화 공정을 진행하기 전에, 상기 버퍼 실리콘막에 대한 에치백 공정을 더 진행할 수도 있다. 이에 따라, 상기 게이트 전극 양측벽에 버퍼

실리콘 스페이서가 형성된다. 이 경우, 상기 선택적 산화 공정에 의해 버퍼 실리콘 스페이서가 산화되면서 상기 게이트 전극 측벽을 통한 산소의 침투가 방지된다.

<28> 상기 반도체 소자 제조 방법은, 상기 선택적 산화 공정을 실시한 후, 저농도 이온주입 공정을 진행하여 저농도 불순물 영역을 형성하는 것을 더 포함한다. 이는 저농도 드레인(LDD:Lightly Doped Drain)을 형성하기 위해서이다. 주입되는 불순물 이온의 도전성 타입은 상기 반도체 기판의 도전성 타입과 반대되는 것이다. 예컨대, 상기 반도체 기판이 피(p)형의 도전형이라면, 상기 주입되는 이온은 엔(n)형의 불순물일 것이다. 이때, 상기 주입되는 불순물 이온은 상기 반도체 기판 상에 형성된 산화된 버퍼 실리콘막을 통과하여 그 하부의 반도체 기판에 형성된다. 즉, 상기 게이트 전극 및 그 측벽에 형성된 산화된 버퍼 실리콘막이 이온주입 마스크로 사용된다. 따라서, 상기 저농도 불순물 영역은 상기 게이트 전극 양측에, 보다 구체적으로, 상기 게이트 전극 양측벽에 형성된 산화된 버퍼 실리콘막 양측의 반도체 기판에 위치한다.

<29> 상기 반도체 소자 제조 방법은, 또한 상기 저농도 불순물 영역을 형성한 후, 스페이서 질화막을 형성하고, 이를 에치백하여 상기 게이트 전극 양측벽에 질화막 스페이서를 형성하고, 고농도 이온주입 공정을 진행하여 고농도 불순물 영역을 형성하는 것을 더 포함한다. 결과적으로 상기 게이트 전극 측벽에는 산화된 버퍼 실리콘막 및 상기 질화막 스페이서가 위치하여 이중 스페이서를 형성하게 된다.

- <30> 상기 질화막 스페이서에 대한 에치백 공정시 상기 산화된 버퍼 실리콘막이 상기 반도체 기판 상에 형성되어 있기 때문에, 공정의 여유도(margin)를 증가시킬 수 있다. 상기 고농도 이온주입은 상기 저농도 이온주입과 동일한 타입의 불순물을 사용하며, 상대적으로 더 높은 농도로 주입된다. 상기 고농도 불순물 영역은 상기 질화막 스페이서 외측벽의 반도체 기판에 형성되고 상기 저농도 불순물 영역에 연속한다. 결과적으로 상기 저농도 불순물 영역은 상기 질화막 스페이서 하부의 반도체 기판에 한정된다. 여기서 질화막 스페이서의 외측벽은 게이트 전극과 접하는 측벽(내측벽)에 대향하는 측벽을 가리킨다.
- <31> 상술한 방법에 따르면, 선택적 산화 공정시 산소 확산 방지막으로 사용되는 버퍼 실리콘막이 동시에 이중 스페이서를 형성하기도 한다. 즉, 이중 스페이서 형성시 필요되는 절연막으로서 선택적 산화 공정을 위해 형성된 산소 확산 방지막이 사용된다. 이에 따라, 이중 스페이서 형성을 위한 추가적인 막질의 형성이 필요치 않다. 따라서 공정의 단순화 및 경제화를 달성할 수 있다.
- <32> 또 상기 저농도 불순물 영역이 상기 게이트 전극 측벽으로부터 상기 산화된 버퍼 실리콘의 두께만큼 떨어져 있다. 결국, 상기 저농도 불순물 영역은 게이트 길이에 상기 버퍼 실리콘 두께의 두배를 더한 길이만큼 서로 떨어져 있다. 환언하면, 게이트 길이보다 큰 채널 길이가 형성된다. 따라서, 단채널 효과 문제를 감소시킬 수 있다.
- <33> 이하 첨부한 도면들을 참조하여 본 발명의 실시예들을 상세히 설명하기로 한다. 본 발명은 반도체 제조 공정에서 도전막의 산화를 최소화하는 방법에 관련된 것이다. 비록 게이트 전극, 워드 라인을 바람직한 실시예로 설명을

하지만, 산화를 받기 쉬운 기타 다른 도전구조의 산화를 방지하는데에도 효과적으로 적용될 수 있음은 당업자에있어서 자명할 것이다.

<34> 도1 내지 도7은 본 발명의 일 실시예에 따른 반도체 소자 제조 방법을 설명하기 위한 공정 순서에 따른 반도체 기판의 단면도들이다. 도의 간략화 및 설명의 명확화를 위해서, 도면들에는 단지 하나의 게이트 전극만을 도시하였다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 어떠한 층(또는 막)이 다른 층 또는 기판 '상' 또는 '위에'에 형성한다고 언급되어지는 경우에 그것은 다른 층 또는 기판 위에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다는 것을 의미한다. 그리고, 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

<35> 먼저 도1을 참조하여, 소자분리 공정을 진행하여 활성영역을 한정한 이후에, 반도체 기판(100) 상에 게이트 절연막(120), 폴리 실리콘막(140), 장벽 금속막(160), 고용점 금속막(180) 및 캐핑 질화막(200)을 차례로 형성한다. 상기 게이트 절연막(120)은 상기 반도체 기판(100)과 게이트 전극 사이의 절연을 위해 형성되는 막질로서, 열산화 공정에 의해 형성되는 실리콘 산화막일 수 있다. 상기 폴리 실리콘막(140)은 상기 게이트 절연막(120)에 대해서 고온에서 우수한 계면 특성을 가진다. 상기 고용점 금속막(180)은 게이트 전극의 저항을 낮추기 위해 형성한다. 상기 고용점 금속막(180)으로서, 예컨대, 텅스텐, 티타늄, 탄탈륨, 몰리브덴, 코발트, 마그넨슘, 니켈, 구리 등을 포함한다. 바람직하게, 상기 고용점 금속막(180)은 텅스텐으로 형성된다.

- <36> 상기 장벽 금속막(160)은 선택적으로 형성되는 막질로서, 상기 폴리 실리콘막(140) 및 상기 텅스텐막(180) 사이의 반응을 방지하기 위한 것이다. 예컨대, 상기 장벽 금속막(160)으로서 텅스텐 질화막, 티타늄 질화막 등을 사용할 수 있다.
- <37> 다음 도2를 참조하여, 상기 캐핑 질화막(200), 상기 텅스텐막(180), 상기 장벽 금속막(160) 및 상기 폴리 실리콘막(140)을 차례로 패터닝하여 캐핑 질화막 패턴(200a)으로 윗부분이 보호된 게이트 전극(220)을 형성한다. 결국, 상기 게이트 전극(220)은 폴리 실리콘막 패턴(140a), 장벽 금속막 패턴(160a), 텅스텐막 패턴(180a)을 포함한다. 패터닝 공정은 상기 캐핑 질화막(200) 상에 감광성 막질인 포토레지스트막을 형성하고 이를 노광 및 현상하여 포토레지스트 패턴을 형성한 후, 이를 식각 마스크로 사용하여 하부의 노출된 막질들을 식각하는 것에 의해 수행된다. 이때, 적층된 막질들(140, 160, 180)의 식각은 상기 게이트 절연막(120)이 노출될 때까지 진행된다.
- <38> 다음 도3을 참조하여, 노출된 게이트 절연막(120)의 일부분을 제거하여 상기 게이트 전극(220) 바닥의 모서리 부분에, 즉 하부 가장자리 부분에, 언더컷 영역(230)을 형성한다. 구체적으로 습식식각을 진행하여 상기 반도체 기판(100) 상에 위치하는 게이트 절연막을 제거하는 동시에 상기 게이트 전극(220) 아래에 위치하는 게이트 절연막 일부분도 제거한다. 그 결과, 상기 게이트 전극(220) 양측의 반도체 기판이 노출되는 동시에, 상기 게이트 전극(220) 바닥 일부분이 노출되고 또한 그에 마주하는 반도체 기판이 노출된다.

<39> 다음 도4를 참조하여, 상기 언더컷 영역(230)을 포함하여 상기 게이트 전극(220)을 감싸도록 상기 반도체 기판(100) 상에 버퍼 실리콘막(240)을 형성한다. 즉, 상기 버퍼 실리콘막(240)은 상기 언더컷 영역(230)을 채우면서 상기 게이트 전극(220) 표면 및 상기 반도체 기판(100) 표면에 균일한 두께로 형성된다. 따라서, 상기 게이트 전극(220)의 측벽이 보호된다. 예컨대, 상기 버퍼 실리콘막(240)은 약 200 Å 이하의 두께로 형성된다.

<40> 다음 도5를 참조하여, 상기 게이트 전극(220) 형성을 위한 식각 공정에 따른 손상을 치유하고, 소자 동작 특성을 향상시키기 위해서 선택적 산화 공정을 실시한다. 이때, 상기 게이트 전극(220) 측벽 및 언더컷 영역(230)에는 상기 버퍼 실리콘막(240)이 위치하고 있기 때문에, 선택적 산화 공정에서 산소가 상기 게이트 전극(220)으로 침투하는 것이 방지된다. 즉, 선택적 산화 공정 중에, 상기 버퍼 실리콘막(240) 자신이 산소와 반응하여(산소를 소모시키고) 산화되어 산화된 버퍼 실리콘막, 즉, 산화 실리콘막(260)으로 변하여 산화 방지막으로서의 기능을 한다.

<41> 한편, 상기 선택적 산화 공정 중에, 상기 게이트 전극(220)의 측벽에 노출된 텅스텐막과 그곳에 접하는 버퍼 실리콘막이 반응을 하여 텅스텐 실리사이드막이 더 형성될 수도 있다. 이러한 텅스텐 실리사이드막으로 인해 게이트 저항이 더 낮아질 수 있다.

<42> 상기 선택적 산화 공정으로 형성된 산화된 버퍼 실리콘막(260)은 또한 이중 스페이서 공정을 위한 절연막질로도 사용이 된다.

<43> 다시 도5를 참조하여, 선택적 산화 공정을 진행한 후, 엘디디 형성을 위한 저농도 이온주입(270) 공정을 진행하여 상기 게이트 전극(220) 양측의 반도체 기판에 저농도 불순물 영역(280)을 형성한다. 주입되는 불순물 이온은 상기 반도체 기판의 도전형 타입과 반대 타입의 불순물이 주입된다. 예컨대, 상기 반도체 기판(100)이 피(p)형이라면, 주입되는 불순물은 엔(n)형이다. 반대로, 상기 반도체 기판(100)이 엔(n)형이라면, 주입되는 불순물은 피(p)형이다. 상기 저농도 불순물 영역(280)은 상기 게이트 전극(220) 양측으로부터 상기 산화된 버퍼 실리콘막(260)의 두께만큼 떨어진 곳의 반도체 기판에 위치한다. 이는, 상기 이온주입 공정에서 상기 반도체 기판(100)의 표면 상에 위치한 산화된 버퍼 실리콘막을 통과하여 불순물 이온이 반도체 기판에 주입되며, 상기 게이트 전극(220) 및 그 측벽에 위치한 산화된 버퍼 실리콘막이 이온주입 마스크로 작용을 하기 때문이다. 결과적으로 상기 저농도 불순물 영역(280)이 상기 게이트 전극(220) 양측으로부터 소정 거리 떨어져 있기 때문에 단채널 효과에 따른 문제점을 개선할 수 있다.

<44> 다음 도6을 참조하여, 상기 산화된 버퍼 실리콘막(260) 상에 스페이서 질화막(300)을 형성한다. 상기 스페이서 질화막(300)은 실리콘 질화막으로 형성되며, 통상적인 화학기상증착(CVD:Chemical Vapor Deposition) 방법을 이용하여 형성된다.

<45> 다음 도7을 참조하여, 상기 스페이서 질화막(300)을 에치백하여 상기 게이트 전극(220) 양측 상에만 잔존하는 질화막 스페이서(300a)를 형성한다. 즉, 상기 질화막 스페이서(300a)는 상기 게이트 전극(220) 양측에 위치한 산화된 버퍼

실리콘막 상에 위치한다. 결과적을 이중 스페이서를 갖는 게이트 전극이 형성된다. 상기 게이트 전극(220) 양측의 반도체 기판 상부에 산화된 버퍼 실리콘막으로 인해 상기 에치백 공정의 여유도(margin)가 증가하게 된다.

<46> 계속해서, 소오스/드레인 영역 형성을 위한 고농도 이온주입(310) 공정을 진행하여 고농도 불순물 영역(320)을 형성한다. 상기 고농도 이온주입 공정에서 상기 게이트 전극(220) 및 그 측벽의 산화된 버퍼 실리콘막 및 질화막 스페이서(300a)가 이온주입 마스크로 사용된다. 그 결과, 상기 고농도 불순물 영역(320)은 상기 질화막 스페이서(300a)의 외측벽 양측의 반도체 기판에 형성되며, 이로 인해 상기 저농도 불순물 영역(280)은 상기 질화막 스페이서(300a) 하부의 반도체 기판에 한정된다. 상기 고농도 불순물 영역(320)은 상기 저농도 불순물 영역(280)에 연속하며, 그것보다 더 깊게 그리고 더 높은 농도를 갖도록 형성된다.

<47> 결과적으로 엘디디 영역, 즉 저농도 불순물 영역(280)을 구비하는 소오스 드레인 영역, 즉 고농도 불순물 영역(320)이 완성된다.

<48> 이상에서 설명한 본 발명의 반도체 소자 제조 방법에 따르면, 선택적 산화 공정 중에 버퍼 실리콘막이 산화되어 산화 방지막으로 작용하기 때문에, 원치 않는 게이트 전극의 산화는 일어나지 않는다. 게다가, 게이트 전극 하부에 언더컷 영역이 형성되기 때문에, 더욱 더 산화 방지 효과를 극대화할 수 있다.

<49> 또, 선택적 산화 공정에서 산화 방지막으로 작용하는 막질이 이중 스페이서로도 사용되기 때문에 공정의 단순화 및 경제성을 확보할 수 있다.

- <50> 다음은 도8 내지 도10을 참조하여, 앞서 설명한 방법의 변형 실시예를 설명한다. 따라서, 앞서 설명한 방법과 중복되는 내용에 대하여는 자세한 설명을 피한다. 먼저, 앞서 도1 내지 도4를 참조하여 설명한 방법과 동일하게, 반도체 기판(100) 상에 게이트 전극(220)을 형성하고, 언더컷 영역을 형성한 후, 버퍼 실리콘막(240)을 형성한다(도4참조).
- <51> 다음 도8을 참조하여, 상기 버퍼 실리콘막(240)을 에치백하여 상기 게이트 전극(220)의 양측벽 및 상기 언더컷 영역을 채우는 버퍼 실리콘막 스페이서(240a)를 형성한다.
- <52> 다음 도9를 참조하여, 상기 게이트 전극(220) 형성을 위한 식각 공정에 따른 손상을 치유하고, 소자 동작 특성을 향상시키기 위해서 선택적 산화 공정을 실시한다. 이때, 상기 게이트 전극(220) 측벽에는 상기 버퍼 실리콘막 스페이서(240a)가 위치하고 있기 때문에, 선택적 산화 공정에서 산소가 상기 게이트 전극(220)으로 침투하는 것을 방지한다. 즉, 상기 버퍼 실리콘막 스페이서(240a) 자체가 산소와 반응하여(산소를 소모시키고) 산화되어 산화된 버퍼 실리콘막 스페이서, 즉, 산화 실리콘막 스페이서(260a)로 변하여 산화 방지막으로서의 기능을 한다. 계속해서 저농도 불순물 영역(280)을 앞서 설명한 방법과 동일하게 형성한다.
- <53> 다음 도10을 참조하여, 앞서 설명한 방법과 동일하게 질화막 스페이서(300a)를 형성하고, 고농도 불순물 영역(320)을 형성한다.
- <54> 이상의 상세한 설명은 본 발명을 예시하고 설명하는 것이다. 또한 기술한 내용은 본 발명의 바람직한 실시 형태를 나타내고 설명하는 것에 불과하며, 기술

한 바와 같이 본 발명은 다양한 다른 조합, 변경 및 환경에서 사용할 수 있으며, 본 명세서에 개시된 발명의 개념의 범위, 저술한 개시 내용과 균등한 범위 및/또는 당업계의 기술 또는 지식의 범위 내에서 변경 또는 수정이 가능하다. 전술한 실시예들은 본 발명을 실시하는데 있어 최선의 상태를 설명하기 위한 것이며, 본 발명과 같은 다른 발명을 이용하는데 당업계에 알려진 다른 상태로의 실시, 그리고 발명의 구체적인 적용 분야 및 용도에서 요구되는 다양한 변경도 가능하다. 따라서, 이상의 발명의 상세한 설명은 개시된 실시 상태로 본 발명을 제한하려는 의도가 아니다. 또한 첨부된 청구범위는 다른 실시 상태도 포함하는 것으로 해석되어야 한다.

【발명의 효과】

- <55> 따라서 상술한 본 발명의 반도체 소자 제조 방법에 따르면, 선택적 산화 공정 중에 버퍼 실리콘막이 산화되어 산화 방지막으로 작용하기 때문에, 원치않는 게이트 전극의 산화는 일어나지 않는다.
- <56> 게다가, 게이트 전극 하부에 언더컷 영역이 형성되기 때문에, 더욱 더 산화 방지 효과를 극대화할 수 있다.
- <57> 또, 선택적 산화 공정에서 산화 방지막으로 작용하는 막질이 이중 스페이서로도 사용되기 때문에 공정의 간단화 및 경제성을 확보할 수 있다.

【특허청구범위】**【청구항 1】**

반도체 기판 상에 게이트 절연막 및 게이트 전극막을 형성하는 단계;

상기 게이트 전극막을 패터닝하여 게이트 전극을 형성하는 단계;

상기 게이트 절연막의 일부를 제거하여 상기 게이트 전극 아래에 언더컷 영역을 형성하는 단계;

상기 언더컷 영역을 채우면서 상기 게이트 전극을 덮도록 상기 반도체 기판 전면에서 버퍼 실리콘막을 형성하는 단계;

선택적 산화를 실시하여 상기 버퍼 실리콘막을 산화시키는 단계를 포함하는 반도체 소자 제조 방법.

【청구항 2】

제1항에 있어서,

상기 게이트 절연막의 일부는 습식식각으로 제거되는 반도체 소자 제조 방법.

【청구항 3】

제1항에 있어서,

상기 선택적 산화를 실시하는 단계에서,

상기 버퍼 실리콘막은 그 자신이 산화되면서 산소 침투 방지막으로 작용하여 상기 게이트 전극의 산화를 방지하는 반도체 소자 제조 방법.

【청구항 4】

제1항에 있어서,

상기 게이트 전극막을 형성하는 단계는,

상기 게이트 절연막 상에 실리콘막을 형성하는 단계;

상기 실리콘막 상에 고용점 금속막을 형성하는 단계;

상기 텅스텐막 상에 캐핑 질화막을 형성하는 단계를 포함하여 이루어지는 반도체 소자 제조 방법.

【청구항 5】

제4항에 있어서,

상기 고용점 금속막은 텅스텐, 티타늄, 탄탈륨, 몰리브덴, 코발트, 마그넬슘, 니켈, 구리 중 어느 하나로 형성되는 반도체 소자 제조 방법.

【청구항 6】

제4항에 있어서,

상기 고용점 금속막을 형성하기 전에 상기 실리콘막 상에 장벽 금속막을 형성하는 단계를 더 포함하는 반도체 소자 제조 방법.

【청구항 7】

제1항에 있어서,

상기 선택적 산화를 실시한 후,

저농도 이온주입을 실시하여 상기 게이트 전극 측벽 상의 상기 산화된 버퍼 실리콘막 양측의 반도체 기판에 저농도 불순물 영역을 형성하는 단계;

상기 산화된 버퍼 실리콘막 상에 스페이서 질화막을 형성하는 단계;

상기 게이트 전극 측벽 상의 산화된 버퍼 실리콘막 상에만 상기 스페이서 질화막이 남도록 상기 스페이서 질화막을 에치백하여 질화막 스페이서를 형성하는 단계;

고농도 이온주입을 실시하여 상기 질화막 스페이서 외측의 반도체 기판에 위치하며 상기 저농도 불순물 영역에 연속하는 고농도 불순물 영역을 형성하는 단계를 더 포함하는 반도체 소자 제조 방법.

【청구항 8】

제7항에 있어서,

상기 선택적 산화를 실시하기 전에, 상기 버퍼 실리콘막이 상기 게이트 전극 측벽 및 상기 언더컷 영역에만 남도록 에치백 공정을 진행하는 단계를 더 포함하는 반도체 소자 제조 방법.

【청구항 9】

반도체 기판 위에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 위에 게이트 전극을 형성하는 단계;

상기 게이트 절연막에 대한 식각을 진행하여 상기 게이트 전극 양 옆에 노출된 게이트 절연막을 제거하는 동시에 상기 게이트 전극 아래 가장자리의 게이트 절연막 일부분도 제거하여 상기 게이트 전극 아래에 언더컷 영역을 형성하는 단계;

상기 언더컷 영역을 형성한 결과의 반도체 기판 전면 상에 버퍼 실리콘막을 형성하는 단계;

선택적 산화를 실시하여 상기 버퍼 실리콘막을 산화시키는 단계를 포함하는 반도체 소자 제조 방법.

【청구항 10】

제9항에 있어서,

상기 선택적 산화를 실시한 이후에,

이온주입을 진행하여 상기 게이트 전극 양측의 상기 산화된 버퍼 실리콘막 양측의 반도체 기판에 저농도 불순물 영역을 형성하는 단계;

상기 산화된 버퍼 실리콘막 상에 스페이서 질화막을 형성하는 단계;

상기 스페이서 질화막을 에치백하여 상기 게이트 전극 양측벽의 산화된 실리콘막 상에 질화막 스페이서를 형성하는 단계;

이온주입을 진행하여 상기 질화막 스페이서 외측의 반도체 기판에 상기 저농도 불순물 영역에 연속하는 고농도 불순물 영역을 형성하는 단계를 더 포함하는 반도체 소자 제조 방법.

【청구항 11】

제9항에 있어서,

게이트 전극을 형성하는 단계는,

상기 게이트 절연막 상에 실리콘막, 텅스텐막 그리고 캐핑 질화막을 차례로 형성하는 단계;

상기 캐핑 질화막, 텅스텐막 및 실리콘막을 패터닝하는 단계를 포함하는 반도체 소자 제조 방법.

【청구항 12】

제11항에 있어서,

상기 실리콘막 및 텅스텐막 사이에 장벽 금속막을 더 형성하는 게이트 전극 형성 방법.

【청구항 13】

제9항에 있어서,

상기 선택적 산화를 실시하는 단계에서,

상기 버퍼 실리콘막은 그 자신이 산화되면서 산소 침투 방지막으로 작용하여 상기 게이트 전극의 산화를 방지하는 반도체 소자 제조 방법.

【청구항 14】

제9항에 있어서,

상기 게이트 절연막의 일부는 습식식각으로 제거되는 반도체 소자 제조 방법.

【청구항 15】

반도체 기판 상에 게이트 절연막, 실리콘막, 장벽 금속막, 텅스텐막 그리고 캐핑 질화막을 차례로 형성하는 단계;

상기 캐핑 질화막, 텅스텐막, 장벽 금속막 및 실리콘막을 차례로 패터닝하여 게이트 전극을 형성하는 단계;

습식식각을 진행하여 상기 게이트 전극 양측에 노출된 게이트 절연막을 제거하는 동시에 상기 게이트 전극 아래 가장자리의 게이트 절연막 일부도 제거하여 상기 게이트 전극 아래에 언더컷 영역을 형성하는 단계;

상기 언더컷 영역이 형성된 반도체 기판 전면에 버퍼 실리콘막을 형성하는 단계;

선택적 산화를 실시하여 상기 버퍼 실리콘막을 산화시키는 단계;

이온주입 공정을 진행하여 상기 게이트 전극 양측의 상기 산화된 버퍼 실리콘막 양측의 반도체 기판에 저농도 불순물 영역을 형성하는 단계;

상기 산화된 버퍼 실리콘막 상에 스페이서 질화막을 형성하는 단계;

상기 스페이서 질화막을 에치백하여 질화막 스페이서를 형성하는 단계;

이온주입 공정을 진행하여 상기 질화막 스페이서 외측의 반도체 기판에 상기 저농도 불순물 영역에 연속하는 고농도 불순물 영역을 형성하는 단계를 더 포함하는 반도체 소자 제조 방법.

【청구항 16】

제15항에 있어서,

상기 선택적 산화를 실시하기 전에, 상기 버퍼 실리콘막이 상기 게이트 전극 양측벽 및 상기 언더컷 영역에만 잔존하도록 에치백 공정을 진행하는 단계를 더 포함하는 반도체 소자 제조 방법.

【청구항 17】

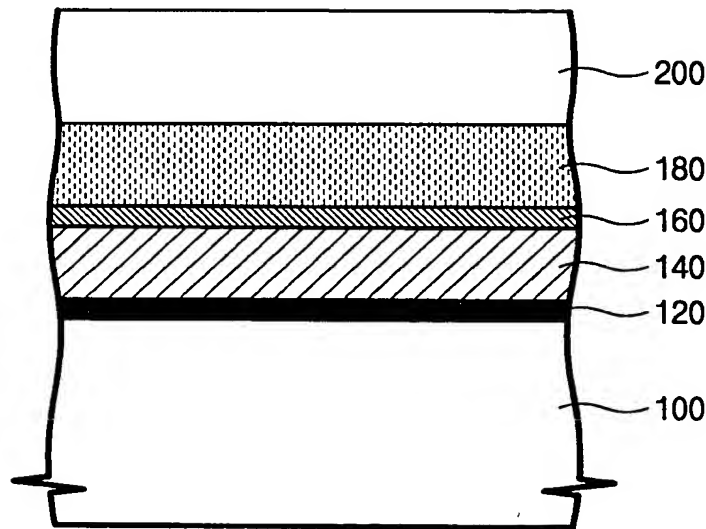
제15항에 있어서,

상기 선택적 산화를 실시하는 단계에서,

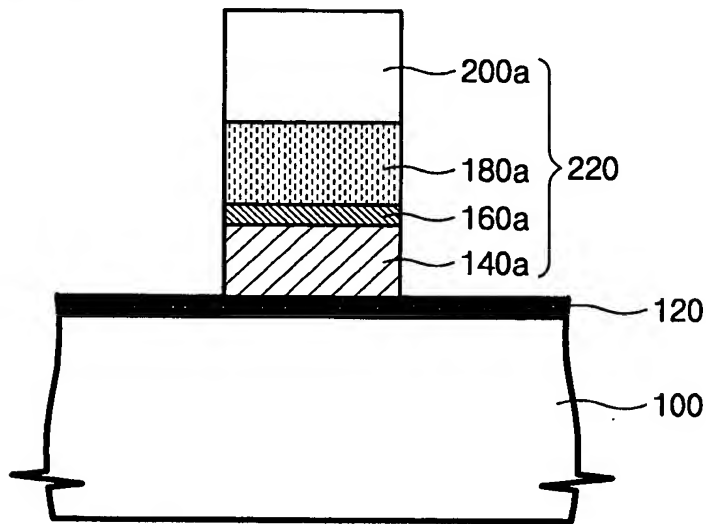
상기 버퍼 실리콘막은 그 자신이 산화되면서 산소 침투 방지막으로 작용하여 상기 게이트 전극의 산화를 방지하는 반도체 소자 제조 방법.

【도면】

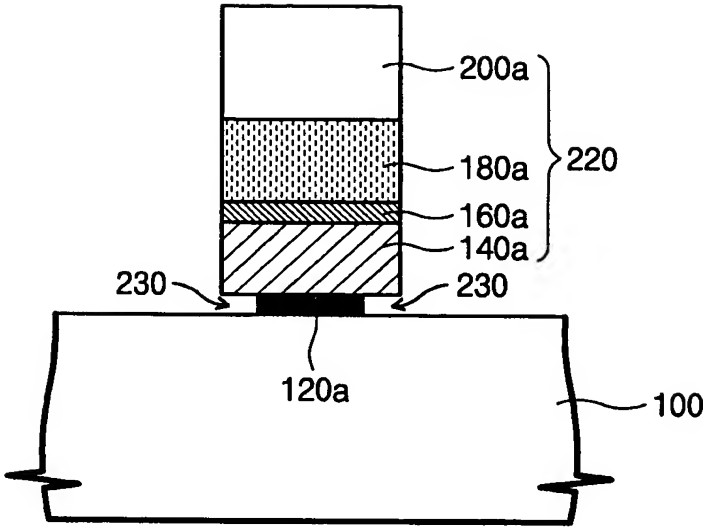
【도 1】



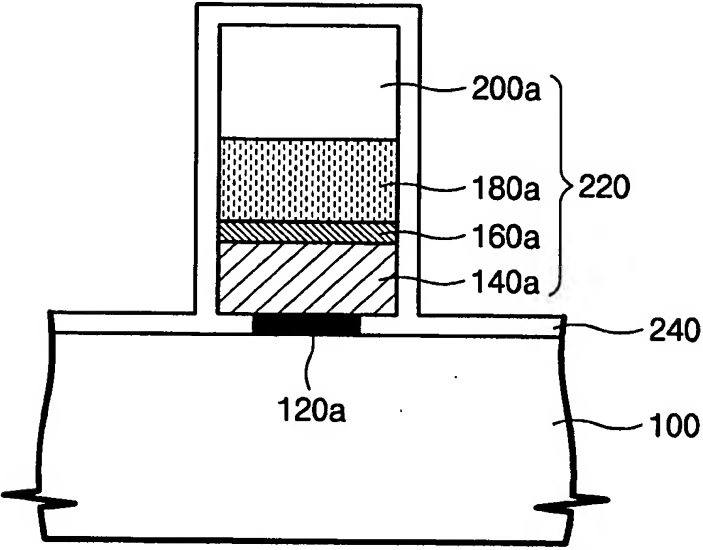
【도 2】



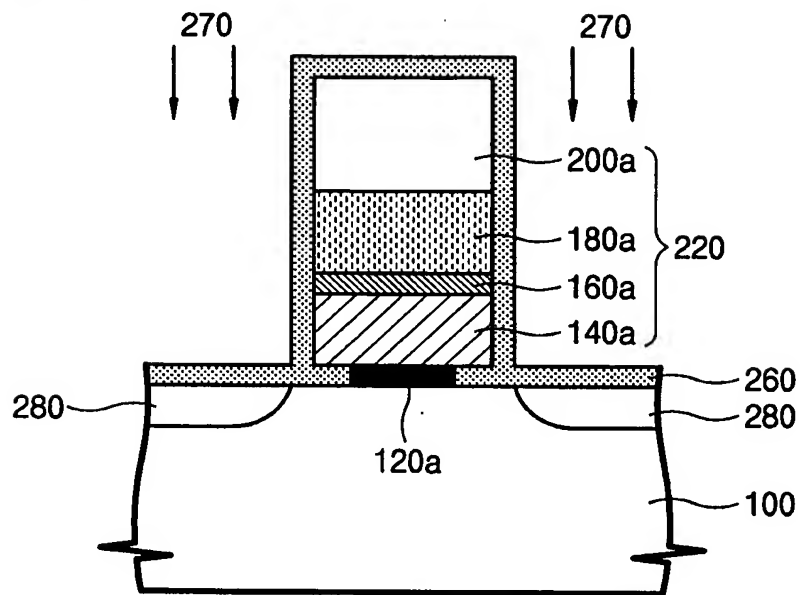
【도 3】



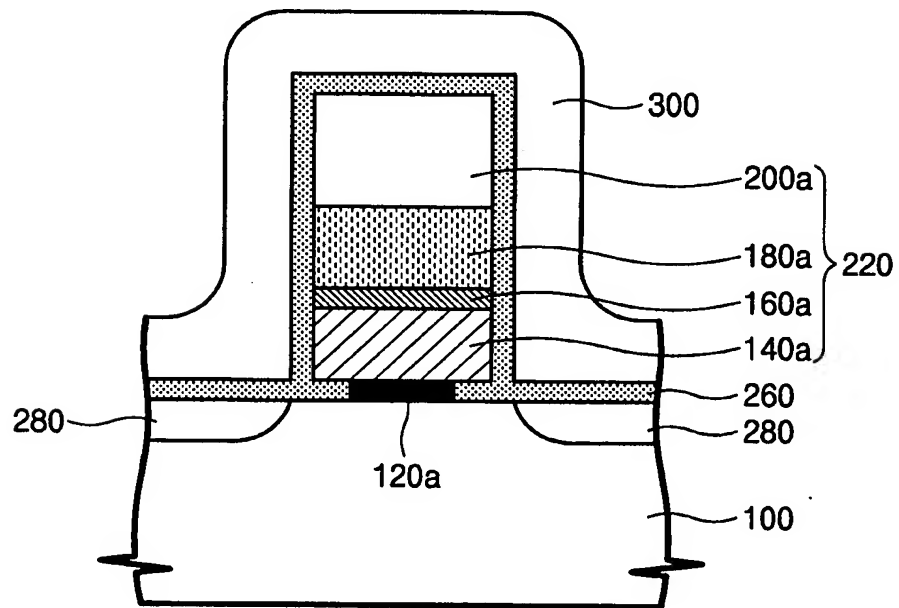
【도 4】



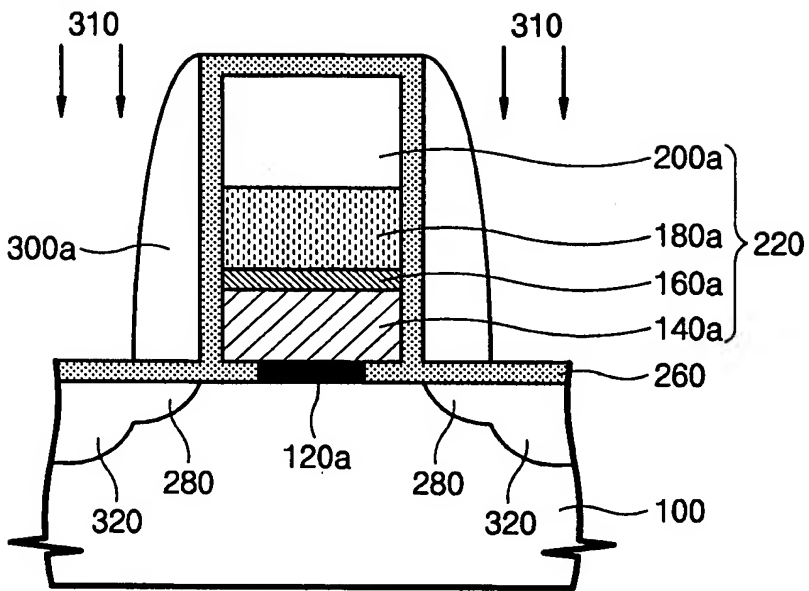
【도 5】



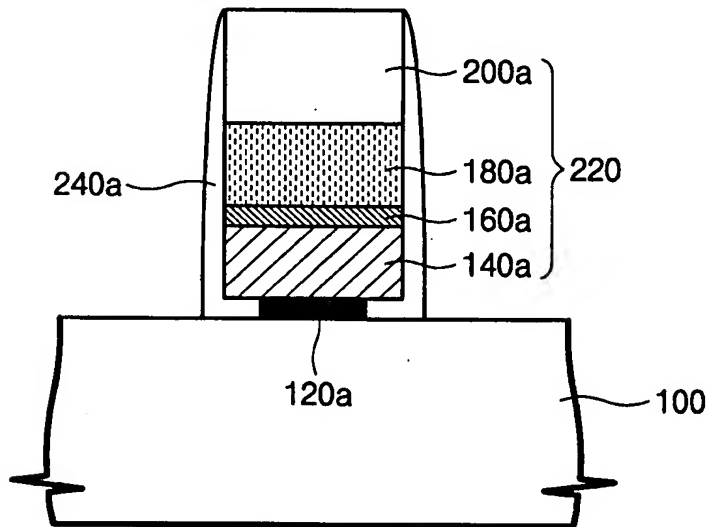
【도 6】



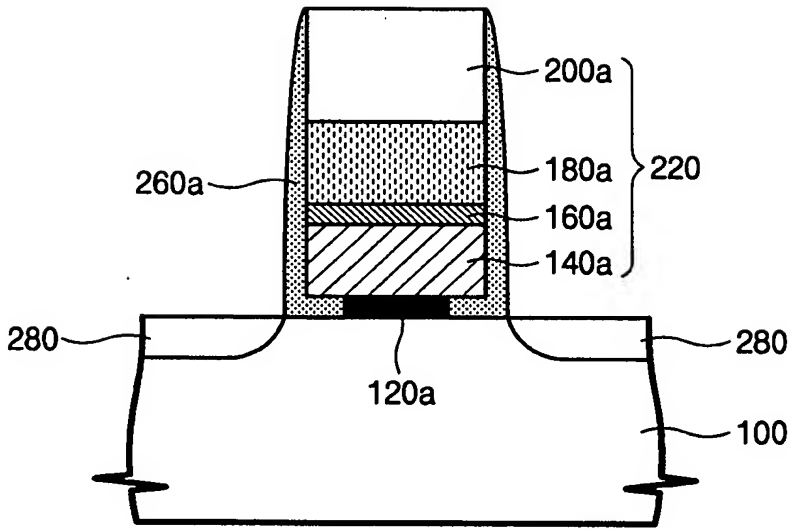
【도 7】



【도 8】



【도 9】



【도 10】

